

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000235

International filing date: 12 January 2005 (12.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-014760
Filing date: 22 January 2004 (22.01.2004)

Date of receipt at the International Bureau: 03 March 2005 (03.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

13.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 1 月 2 2 日
Date of Application:

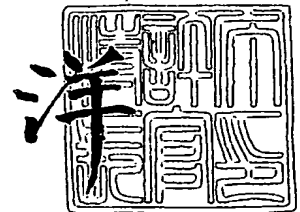
出 願 番 号 特 願 2 0 0 4 - 0 1 4 7 6 0
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 1 4 7 6 0]

出 願 人 株 式 会 社 ル ネ サ ス テ ク ノ ロ ジ
Applicant(s):

2 0 0 5 年 2 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 5 - 3 0 1 1 5 0 4

【書類名】 特許願
【整理番号】 R00230JP01
【提出日】 平成16年 1月22日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 25/10
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ
 ロジ内
 【氏名】 大坂 修一
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ
 ロジ内
 【氏名】 藤本 仁士
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ
 ロジ内
 【氏名】 広瀬 哲也
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノ
 ロジ内
 【氏名】 篠永 直之
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
 【識別番号】 100082175
 【弁理士】
 【氏名又は名称】 高田 守
 【電話番号】 03-5379-3088
【選任した代理人】
 【識別番号】 100106150
 【弁理士】
 【氏名又は名称】 高橋 英樹
 【電話番号】 03-5379-3088
【手数料の表示】
 【予納台帳番号】 049397
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

表面に複数のテスト用端子と複数の外部接続用端子とが配置され、裏面に複数の内部接続用端子が配置され、前記内部接続用端子が所望の前記テスト用端子及び又は外部接続用端子と内部接続された基板と、

表面に内部回路と接続した複数の表面端子が形成され、裏面が前記基板の前記裏面に対向するように配置された少なくとも一つの半導体チップと、

前記半導体チップの前記表面端子を前記基板の所望の前記内部接続用端子に接続する配線と、

前記半導体チップを前記基板の前記裏面に封止する封止部材とを備えた半導体パッケージ。

【請求項 2】

前記半導体チップの前記表面端子と前記基板の前記内部接続用端子との間の所望の接続、及び、前記基板の前記内部接続用端子と前記外部接続用端子との間の所望の接続により、前記基板の前記外部接続端子を介して前記半導体チップに所定の動作をさせることができるようにした請求項 1 記載の半導体パッケージ。

【請求項 3】

前記基板の前記複数の内部接続用端子を二組以上設け、第一の組の内部接続用端子と前記外部接続用端子との間の第一の所望の接続、又は第二の組の内部接続用端子と前記外部接続用端子との間の第二の所望の接続、及び、前記半導体チップの前記表面端子と前記基板の前記第一の組又は第二の組の内部接続用端子との間の所望の接続により、前記半導体チップに異なる動作をさせることができるようにした請求項 2 記載の半導体パッケージ。

【請求項 4】

前記半導体チップの前記表面端子と前記基板の前記内部接続用端子との間の所望の接続、及び、前記基板の前記内部接続用端子と前記テスト用端子との間の所望の接続により、前記基板の前記テスト用端子を介して前記半導体チップの所定の動作をテストすることができるようにした請求項 1 記載の半導体パッケージ。

【請求項 5】

前記基板において、前記複数のテスト用端子の配置領域と前記複数の外部接続用端子の配置領域とが分離された請求項 1 記載の半導体パッケージ。

【請求項 6】

前記基板において、前記外部接続用端子の配置領域が前記基板の周辺部に配置され、前記テスト用端子の配置領域が前記基板の前記周辺部を除く内側部に配置された請求項 5 記載の半導体パッケージ。

【請求項 7】

前記基板において、前記外部接続用端子の配置領域が前記基板の対向する二辺の周辺部に配置され、前記テスト用端子の配置領域が前記基板の他の対向する二辺の周辺部に配置され、基板の中央部に端子が配置されない無端子領域を形成した請求項 5 記載の半導体パッケージ。

【請求項 8】

前記基板において、前記外部接続用端子の配置領域が前記基板の周辺部に配置され、前記テスト用端子の配置領域が前記基板の前記周辺部に隣接する内側部に配置され、基板の中央部に端子が配置されない無端子領域を形成した請求項 5 記載の半導体パッケージ。

【請求項 9】

前記基板において、前記内部接続用端子が前記基板の周辺部に配置された請求項 1 記載の半導体パッケージ。

【請求項 10】

前記一つ以上の半導体チップが二つ以上の積層された半導体チップである請求項 1 記載の半導体パッケージ。

【請求項 11】

前記半導体チップの前記表面に前記封止部材から露出するスペーサーを配置した請求項 1 記載の半導体パッケージ。

【請求項 12】

前記配線の一部を前記封止部材の表面に露出させた請求項 1 記載の半導体パッケージ。

【請求項 13】

前記封止部材の表面に接着性部材を付着させた請求項 1 記載の半導体パッケージ。

【請求項 14】

前記封止部材が前記基板の裏面に一定の厚みで形成されるとともに、前記基板の前記外部接続用端子の配置領域に対応する部分では相対的に小さな厚みに形成されている請求項 5 記載の半導体パッケージ。

【請求項 15】

前記基板が前記封止部材の周縁辺部より外側に伸延した外周部を有し、前記外部接続用端子が前記基板の前記外周部に配置された請求項 7 又は 8 記載の半導体パッケージ。

【請求項 16】

前記封止部材が前記基板の裏面に一定の厚みで形成されるとともに、前記基板の外縁端部を包み込むように形成されている請求項 5 記載の半導体パッケージ。

【請求項 17】

前記基板の前記テスト用端子、外部接続用端子、内部接続用端子、及び前記半導体チップの前記表面端子がワイヤボンディング用のパッドであり、前記配線がボンディング用ワイヤである請求項 1 記載の半導体パッケージ。

【請求項 18】

主表面に複数の接続用主端子が配置され、裏面に複数の外部接続用主端子が配置され、前記接続用主端子が所望の前記外部接続用主端子と内部接続された主基板と、

主表面に内部回路と接続した複数の表面端子が形成され、裏面が前記主基板の前記表面に対向するように配置された少なくとも一つの主半導体チップと、

前記主半導体チップの前記表面にその封止部材が対向するように配置された少なくとも一つの請求項 1 記載の半導体パッケージと、

前記主半導体チップの前記表面端子と、前記半導体パッケージの前記外部接続用端子とを前記主基板の所望の前記接続用主端子に接続する配線と、

前記主半導体チップ及び前記半導体パッケージを前記主基板の前記表面に封止する主封止部材とを備えた半導体装置。

【請求項 19】

前記少なくとも一つの半導体パッケージが、下段と上段とに積層された二つ以上の半導体パッケージであり、下段の半導体パッケージの外部接続用端子が配置されない無端子領域に上段の半導体パッケージが載置された請求項 1 記載の半導体装置。

【書類名】明細書

【発明の名称】半導体パッケージ及び半導体装置

【技術分野】

【0001】

この発明はカプセル化された半導体パッケージ及びこの半導体パッケージを組み込んだ半導体装置に関するものである。

【背景技術】

【0002】

現在用いられている半導体デバイスの機能向上、小型化、システム化は、複数のICチップを直接、垂直方向に積み重ね、インターポーザー基板に直接ワイヤボンディングするマルチチップパッケージがメモリ品種を中心に用いられている。(例えば、特許文献1、2参照)。

【0003】

【特許文献1】特開2002-231885号公報

【特許文献2】特開2002-217367号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述のような従来の方式は、チップ搭載面が単一のため、一般にデバイスの組合せの汎用性が低い。また、複数チップを組み立て完成後に電気検査を行なうため、不良品の発生ロスが多く、製造コストダウンが難しい。また、ワイヤリングの内部引き回しの自由度が低いので、多層構造インターポーザー基板が必要となり、基板コストのアップ、パッケージの嵩高化など大型化する課題がある。

【課題を解決するための手段】

【0005】

この発明はこのような従来の課題を解決するためになされたもので、予め検査されカプセル化された半導体パッケージを用い、これを例えば他の高機能の半導体チップと組みあわせることにより、半導体集積回路装置の機能向上、小型化、システム化を図るパッケージ構造を提供しようとするものである。

【0006】

上記のような課題を解決するため、本発明では先ずカプセル化された半導体パッケージを提供する。すなわち、この発明による半導体パッケージは、

表面に複数のテスト用端子と複数の外部接続用端子とが配置され、裏面に複数の内部接続用端子が配置され、前記内部接続用端子が所望の前記テスト用端子及び又は外部接続用端子と内部接続された基板と、

表面に内部回路と接続した複数の表面端子が形成され、裏面が前記基板の前記裏面に対向するように配置された少なくとも一つの半導体チップと、

前記半導体チップの前記表面端子を前記基板の所望の前記内部接続用端子に接続する配線と、

前記半導体チップを前記基板の前記裏面に封止する封止部材とを備えたものである。

【0007】

また、この発明による半導体装置は、上記のカプセル化された半導体パッケージを他の機能を有する他の半導体チップなどと組み合わせてマルチチップ化した半導体装置を提供するものである。すなわち、この発明の半導体装置は、

主表面に複数の接続用主端子が配置され、裏面に複数の外部接続用主端子が配置され、前記接続用主端子が所望の前記外部接続用主端子と内部接続された主基板と、

主表面に内部回路と接続した複数の表面端子が形成され、裏面が前記主基板の前記表面に対向するように配置された少なくとも一つの主半導体チップと、

前記主半導体チップの前記表面にその封止部材が対向するように配置された少なくとも一つの本発明によるカプセル化された半導体パッケージと、

前記主半導体チップの前記表面端子と、前記半導体パッケージの前記外部接続用端子とを前記主基板の所望の前記接続用主端子に接続する配線と、

前記主半導体チップ及び前記半導体パッケージを前記主基板の前記表面に封止する主封止部材とを備えたものである。

本発明のその他の特徴あるいは変形は、以下に詳細に説明する。

【発明の効果】

【0008】

本発明によれば、予め検査されカプセル化された半導体パッケージを、機能している専用システムLSIなど他の半導体チップに接続することで、機能の違うチップを組み合わせさせて動作させることができ、システム化が容易に図れる。

【0009】

また、予め検査されカプセル化された半導体パッケージを使用することで、これと組み合わせる他の半導体チップが良品にも拘わらず使えないというような、つれ不良をなくすることができる。したがって、検査負荷を最小とし、製造ロスを防止することができる。

【0010】

また、ベアチップでなく、カプセル化された半導体パッケージを用いるので、外部引き出し、テスト、ハンドリングが容易になり、良品選別も容易になる。

【発明を実施するための最良の形態】

【0011】

以下にこの発明の実施の形態について図面を参照して詳細に説明する。なお、各図で同一または相当する部分には同一符号を付して場合により説明を簡略ないし省略する。

【0012】

実施の形態1.

図1は、この発明の実施の形態1によるカプセル化した半導体パッケージの構造を示す図で、(a)図は平面図、(b)図は断面図を示す。

図1の半導体パッケージ10において、インターポザー又はインターポザー基板とも称される基板11の表面には、複数のテスト用端子12と複数の外部接続用端子13とが配置され、その裏面には複数の内部接続用端子14が配置されている。内部接続用端子14は所望のテスト用端子12と内部接続されている。また内部接続用端子14は所望の外部接続用端子13とも内部接続されている。通常は一つのテスト用端子12と一つの外部接続用端子13とは対応しており互に電気的接続された状態にあるが、対応した外部接続端子13がないテスト用端子12があってもよい。

この基板11の裏面側には半導体チップ15がその裏面側を対向させるように配置されており、半導体チップ15の表面にはその内部回路と接続された複数の表面端子16が形成されている。基板11と半導体チップ15とは接着層で接着してもよい。

そして、配線17により半導体チップ15の表面端子16と基板11の所望の内部接続用端子14とが接続されている。

そして、封止部材18により、半導体チップ15と配線17とが基板11の裏面側に封止されている。

ここでそれぞれ端子と称したものは、通常はワイヤリング用パッドないしボンディングパッドとして導電性薄膜で形成されているものである。また、配線と称したものは、通常はボンディング接続されるワイヤリングである。また、封止部材と称したものは、通常は封止用の樹脂である。また、半導体チップ15は通常は接着層を介して基板11に接合されている。

【0013】

以上のように、半導体チップ15の表面端子16と基板11の内部接続用端子14との間に配線17により所望の接続がされ、また、基板11の内部接続用端子14と外部接続用端子13との間に所望の内部接続がされているので、外部から基板11の外部接続端子13を介して半導体チップ15に所定の動作をさせることができる。

【0014】

また、半導体チップ15の表面端子16と基板11の内部接続用端子14との間に配線17により所望の接続がされ、さらに、基板11の内部接続用端子14とテスト用端子12との間の所望に内部接続がされているので、外部から基板11のテスト用端子12を介して半導体チップ15の所定の動作をテストすることができる。

【0015】

次に、図1(a)の基板11の表面図に示すとおり、基板11の表面において、複数のテスト用端子12の配置領域と複数の外部接続用端子13の配置領域とは分離されている。具体的には、外部接続用端子13の配置領域は基板11の周辺部に配置され、テスト用端子12の配置領域は基板11の前記周辺部を除く内側部に配置されている。

【0016】

次に、図1(b)の基板11の断面図から分かるとおり、基板11の裏面において、内部接続用端子14は基板11の周辺部に配置されている。そして、基板11の内部接続用端子14の配置領域より内側に、言い換えれば中心部に半導体チップ15が配置されている。

【0017】

次に、図1(b)の基板11の断面図から分かるとおり、基板11の裏面に封止部材16が一定の厚みで形成されており、この半導体パッケージ10は全体として一定厚みの矩形体を呈している。

【0018】

以上説明したように、この半導体パッケージ10は、外部接続用端子13により外部製品と電気的に接続される。

そして、基板11において、内部接続用端子14、テスト用端子12、外部接続用端子13は電気的に接続され、かつ、半導体チップ15と外部製品の入出力が対応するように設計されている。

半導体チップ15は配線17、内部接続用端子14、テスト用端子12、外部接続用端子13を介して外部製品と電気的に接続され、外部から電源、信号を受け、その動作結果を出力する。

この半導体パッケージ10は、組み立て後テスト用端子12を用いて電気特性を計測され、良品不良品を判定される。良品判定された製品は外部接続用端子13を介して外部製品と接続され所定の動作をおこなう。

【0019】

以上の構造を他の表現で次のように説明できる。

この実施の形態の半導体パッケージ10は、半導体チップ(ICチップ)とほぼ同じサイズのインターポーザー基板11の裏面に、この半導体チップの裏面をダイ付けし、半導体チップ表面の表面端子16(ボンディング電極)とインターポーザー基板11の裏面上に配線された内部接続用端子14(ワイヤボンディング用の電極)との間を金属配線17でワイヤボンディングし、半導体チップ15の表面と側面を絶縁性の封止部材18(モールド樹脂)にて保護したものである。

また、インターポーザー基板11の裏面に複数配置された導電性の内部接続用端子14(ワイヤボンディング用の電極)は、基板11の断面を通じて基板11の表面に配線され、インターポーザー基板11の表面の導電性のテスト用端子12(テスト用電極)に導通するとともに、基板11の表面の周囲に配置されたワイヤボンディング用の外部接続用端子13(外部引出端子)に導通している。

さらに、基板11の表面の中央部に引き回されたテスト用端子12(テスト用の電極端子)と、基板11の表面の周囲に配置された、他の外部デバイスとの接続用の外部接続用端子13(外部引出電極)とが分離されている。

そして、基板11のテスト用端子12(テスト用の電極端子)を用いて予め内蔵した半導体チップ15(ICチップ)の機能を検査することにより、良品のみを選別することができる。

【0020】

また、この実施の形態の半導体パッケージ 10 では、図 1 (a) に示すとおり、基板 11 の表面において、複数のテスト用端子 12 の配置領域と複数の外部接続用端子 13 の配置領域とが分離して配置することができる。テスト用端子 12 が別に設けられず、外部接続用端子 13 をテスト用にも使用するような従来のタイプでは、外部接続用端子 13 がテスト時に損傷を受ける可能性があるが、この実施の形態の半導体パッケージ 10 では、たとえテスト用端子 12 が損傷を受けても、外部接続用端子 13 は損傷なく保護される。

また、この実施の形態のように基板 11 を用いれば、テスト用端子 12 の配置領域を十分に確保することができる。したがって、複数のテスト用端子 12 の配列を自由に選択することができる。また、個々のテスト用端子 12 の大きさを外部接続用端子 13 より大きくすることもできるので、テスト用端子にはテスト時に大きな電力が加えられることがあっても、損傷を受けにくいメリットがある。

また、テスト用端子の大きさ、形状を、外部接続用端子の大きさ、形状とは異なって必要な大きさ、形状に設定することができる。

【0021】

以上説明したように、この実施の形態では、他の高機能半導体チップと組み合わせてマルチチップ化するべき半導体チップをベアチップのままとし、予め本実施の形態で説明したようなカプセル化した半導体パッケージを用意する。このカプセル化した半導体パッケージはチップと同程度の大きさで小さく形成できる。本願発明者らは、これをチップカプセルないしチップサイズカプセルと愛称している。

ベアチップを用いてマルチチップ化する場合には、ハンドリングが困難であるが、この実施の形態のようにカプセル化すると、外部引き出し、テスト、ハンドリングが容易になり、良品選別も容易になり、ベアチップの欠点を解決することができる。

そして、予め検査されカプセル化された半導体パッケージを使用することで、後に説明するように、既に機能している専用システム LSI など他のチップにそのまま接続することで、容易に機能の違うチップが動作するマルチチップモジュールとしてシステム化することが容易に図れる。

【0022】

実施の形態 2.

図 2 は、この発明の実施の形態 2 による半導体装置 20 の構造を示す断面図である。この半導体装置 20 は、実施の形態 1 で説明したカプセル化された半導体パッケージ 10 を他の集積回路装置等の半導体チップの上に積層してマルチチップのパッケージ製品としたものである。

図 2 に示す半導体装置 20 において、インターポーザーあるいはインターポーザー基板とも称される主基板 21 の主表面（断面図でみて上方側）には複数の接続用主端子 22 が配置され、その裏面には複数の外部接続用主端子 23 が配置されている。そして、接続用主端子 22 は所望の外部接続用主端子 23 と内部接続されている。

主基板 21 の表面には、主半導体チップ 24 がその裏面（断面図でみて下方側）を対向させて配置されており、主半導体チップ 24 の主表面（断面図でみて上方側）には内部に形成された回路と接続された複数の表面端子 25 が形成されている。

主半導体チップ 24 の主表面には、実施の形態で説明した半導体パッケージ 10 がその封止部材 18 を主半導体チップ 24 の主表面に対向させるように配置され、固定材 26 で固定されている。

配線 27a が、主半導体チップ 24 の表面端子 25 と主基板 21 の所望の接続用主端子 22 とを接続し、配線 27b が、半導体パッケージ 10 の外部接続用端子 13 と主基板 21 の所望の接続用主端子 22 とを接続している。

また、主封止部材 28 が、主半導体チップ 24 及び半導体パッケージ 10 を主基板 21 の主表面に封止している。

ここで主基板 21 の接続用主端子 22 と主半導体チップ 24 の表面端子 25 は、通常はワイヤリング用パッドないしボンディングパッドとして導電性薄膜で形成されているものである。また、主基板 21 の外部接続用主端子 23 は、通常は他の実装基板に実装される

ときの電氣的接続用のハンダボールである。また、配線 27a、27b と称したものは、通常はボンディング接続されるワイヤリングである。また、主封止部材 28 と称したものは、通常は封止用の樹脂であり、固定材 26 と称したものは、通常は樹脂による接着層である。

なお、ここで主基板 21、接続用主端子 22、外部接続用主端子 23、主半導体チップ 24、主封止部材 28 などのように主という語を付加しているが、これは実施の形態 1 で用いた用語との区別を図るための単に説明の便宜上のものである。また、実施の形態 1 のものを半導体パッケージと称し、実施の形態 2 のものを半導体製品と称しているが、これら両者の区別をつけるための単に説明上の便宜のものである。

【0023】

以上説明したように、実施の形態 1 で説明したような、この発明の半導体パッケージ 10 は、図 2 に示すように主半導体チップ 24（下段チップ）の上に積層され、その後、主半導体チップ 24 と同一の主基板 21 の上にワイヤボンディングされ、樹脂封止される。ここで、主半導体チップ 24（下段チップ）用の接続用主端子 22 と、半導体パッケージ 10 用の接続用主端子 22 と、主基板 21 の外部接続用主端子 23 とは所望の状態に電氣的に導通されており、最終製品として機能するように設計されており、この半導体装置 20 により、複数の半導体チップが積層された状態と同等の機能を得ることができる。

また、半導体パッケージ 10 は予め良品選別されているため、半導体パッケージ 10 に収納された半導体チップ 15（上段チップ）の不良による主半導体チップ 24（下段チップ）のつれ不良化を抑制することができる。

【0024】

以上のように、この実施の形態の半導体装置 20 は、実施の形態 1 で説明した半導体パッケージ 10 の裏面（基板 11 側とは反対の封止部材 18 側）を、他の主半導体チップ 24（IC チップ）の表面に固定材 26 などを介して直接に＜もしくは、付属のスペーサーで＞張り合わせ、半導体パッケージ 10 のインターポーザー基板 11 の表面側の外部接続用端子 13（外部電極）を主基板 21 や前記他の主半導体チップ 24（IC チップ）にワイヤボンディングで相互に接続して複合機能をもつ構造にしたものである。

【0025】

以上のように、本発明によれば、外部接続用端子とテスト用端子を表面に設け、かつチップとはほぼ同じサイズに収納保護した、この発明のカプセル化された半導体パッケージのテスト済みのものを、他の機能を有する他の半導体チップの上に積層し、相互にワイヤボンディングで配線した半導体装置を製造することによって、各半導体チップを分業して製作後、容易に複合機能をもつシステムができるシステムインパッケージの提供が可能となる。

【0026】

すなわち、予め検査された本発明の半導体パッケージを用い、既に機能している専用システム LSI など他のチップと一体化して接続することで、容易に機能の違うチップを複合させて動作させることができ、システム化が容易に図れる。

例えば、下段の専用システム LSI チップの上にメモリチップを含む本発明の半導体パッケージを載せることにより、複数の異種機能のチップの多層積み重ね組合せを可能とし、MCP の汎用性をあげることができる。

【0027】

また、予め検査されたこの発明の半導体パッケージを使用することで、製造ロスを防止し、検査負荷を最小とし、設備投資を抑え、パッケージによるシステムの提供を容易にすることができる。

また、インターポーザー基板の構造を簡単にし、低コスト化を図ることができる。

さらに、従来のベアチップを用いる構造で外部引出とするものでは、ハンドリングが困難であり、またテストもそのままではできないが、本発明の半導体パッケージを使用することにより、外部引き出し、テスト、ハンドリングが容易になり、良品選別も容易になる。

また、例えば、良品選別されたメモリを、専用システム LSI チップなどと組み合わせ

ることができるので、良品の専用システムLSIチップを不良品のメモリと組み合わせてつれ不良としてしまうようなことがなく、生産性向上の効果が大きい。

【0028】

実施の形態3.

図3は、この発明の他の実施の形態による半導体パッケージの構造を示す断面図である。

この実施の形態では、2個の半導体チップ15a、15bが基板11の裏面に配置され、半導体チップ15a、15bの表面に配置された表面端子16a、16bがそれぞれ基板11の裏面の内部接続用端子14に接続されている。

基板11側から見て、下段の半導体チップ15aの表面周囲に表面端子16aが配置され、その内側の無端子領域に、上段の半導体チップ15bが配置されている。積層する半導体チップは2個に限られず、2個以上必要な個数を積層できる。基板11及び半導体チップ15a、15bは接着層で接着してもよい。このような積層により集積度を上げることができる。

なお、図3では、半導体チップ15a、15bの表面端子16a、16bが同一の内部接続用端子14に接続されているようにみえるが、これは断面図のせいであり、実際には内部接続用端子14は図面奥行き方向に一行に複数個配置されており、一般には異なる内部接続用端子14に接続されているものである。

【0029】

実施の形態4.

図4は、この発明の他の実施の形態による半導体パッケージの構造を示す図で、(a)は断面図、(b)は底面図である。

図4に示す半導体パッケージにおいては、配線の一部が封止部材の表面に露出し外部から目視できる状態になっている。図1～図3で説明したような半導体パッケージ10では、内部の配線17は封止部材18の中に見えないように埋もれている。このようにする場合、封止部材18の厚みが厚くなる傾向になる。一方、この実施の形態の図4のように、配線17が半導体パッケージ10の背面に露出してもよいとする場合には、封止部材18の厚みを薄く形成できる。

また、封止部材18は通常は不透明であるが、この場合に透明部材で形成することも考えられる。そのようにすると封止部材18から露出する配線17が目立たないので外観上便宜がある。

【0030】

実施の形態5.

図5は、この発明の他の実施の形態による半導体パッケージの構造を示す断面図である。

図5に示す半導体パッケージでは、半導体チップ15の表面に金属またはシリコン片又は非導電性のスペーサー51を設け、その表面を封止部材18から露出させている。スペーサー51は半導体チップ15に接着層で接着してもよい。このようにすれば、伝熱性のスペーサー51を介して放熱するので、放熱性が向上する。また、後に説明するようにスペーサー51を用いて他の半導体チップに接着させれば、接着性が向上する。

【0031】

実施の形態6.

図6、図7は、それぞれこの発明の他の実施の形態による半導体パッケージの構造を示す断面図である。

図6に示す半導体パッケージでは、図5に示した半導体パッケージ10のスペーサー51の表面に熱軟化もしくは熱硬化性の樹脂等からなる接着性部材61を塗布し、もしくは貼り付けている。このようにすれば、後に説明するように、他の半導体チップに接合する際にその接合性が向上する。

また、図7に示す半導体パッケージでは、図1に示した半導体パッケージ10の背面側で封止部材18の表面に熱軟化もしくは熱硬化性の樹脂等からなる接着性部材61を塗布

し、もしくは貼り付けている。このようにすれば、後に説明するように、他の半導体チップに接合する際にその接合性が向上する。

【0032】

実施の形態 7.

図 8 は、この発明の他の実施の形態による半導体パッケージの構造を示す図であり、(a) は断面図、(b) は底面からみた透視図である。この半導体パッケージ 10 は、内部接続用端子を二組以上に分けて設けて使い分けるものである。

図 8 (a) はこの実施の形態の半導体パッケージ 10 の断面図、図 8 (b) は基板 11 の裏面の内部接続端子 14 の配置を示す図であり、図 8 (a) を下側から見上げたときの透視図と言ってもよい。

この図 8 に示す半導体パッケージ 10 では、基板 11 の複数の内部接続用端子を二組設けている。すなわち、内部接続用端子 14 a の列の第 1 の組と、内部接続用端子 14 b の列の第二の組とである。

そして、半導体チップ 15 の表面端子 16 と第一の組の内部接続用端子 14 a との間で配線 17 a により所望の接続をおこなう。また、表面端子 16 と第二の組の内部接続用端子 14 b との間で配線 17 b により所望の接続をおこなう。

さらに、第一の組の内部接続用端子 14 a と外部接続用端子 13 との間に第一の所望の内部接続を行なう。また、第二の組の内部接続用端子 14 b と外部接続用端子 13 との間に第二の所望の内部接続をおこなう。言い換えれば、このような基板 11 を用意する。

このようにすれば、外部接続端子 13 を介して外部基板や素子との異なる接続形態を実現することができる。

【0033】

又これとは別に、半導体チップ 15 の異なる内部回路あるいは機能を有するものを同一の基板 11 に搭載して、配線 17 a、17 b を使い分けることにより、同一の基板 11 を用いて外部接続端子 13 を介して外部と異なる接続形態をとることができる。

【0034】

これをさらに言い方を変えて説明すると、図 8 に示す半導体パッケージでは、半導体パッケージ 10 内の半導体チップ 15 からワイヤリングするための内部接続端子 14 (ボンディングパッド) を複数個設け、同一チップを使うが外部製品との導通をとる接合パッド配置が異なる場合に、パッド 14 a と 14 b をワイヤ 17 a と 17 b で使い分けることにより異なる接続形態であっても同一の基板で生産できる。すなわち、基板の共通化を図ることができる。

【0035】

また、半導体チップ 15 (IC チップ) を搭載するインターポーザー基板 11 の裏面の内部接続端子 14 (ワイヤボンディング用の電極) には、IC チップ機能の変更に対応できるように複数の内部接続端子 14 (リード端子) を配し、ワイヤボンディングの配線 17 により各機能対応の内部接続端子 14 (電極) を選択することができる。

【0036】

実施の形態 8.

図 9 は、この発明の他の実施の形態による半導体装置の構造を示す断面図である。この実施の形態 8 は実施の形態 2 と同様に、この発明の半導体パッケージを他の半導体チップ (集積回路装置など) の上に積層してパッケージ製品としたものである。

実施の形態 2 の図 2 においては、図 1 に示したような半導体パッケージ 10 を主半導体チップ 24 の上に搭載しているが、この実施の形態の図 9 では、図 5 に示したような半導体パッケージ 10 を主半導体チップ 24 の上に搭載している。すなわち、半導体パッケージ 10 のスペーサー 51 の外表面を主半導体チップ 24 の表面に当接させている。これは接着層を介して接合させてもよい。

この図 9 の場合では、半導体パッケージ 10 のスペーサー 51 は封止部材 18 の表面から少し高くなっており、主半導体チップ 24 の表面との接合性をよくしている。

このように、半導体パッケージ 10 にスペーサー 51 を設け、スペーサーを介して主半

導体チップ 24 に接合することにより、相互接合を容易にするとともに、放熱性が向上する。

なお、上記の各実施の形態では、半導体パッケージ 10 における基板 11 の外部接続端子 13 の配列やそれに伴う配線（ワイヤボンディング）の方向、また主基板 21 の接続用主端子 22 の配列などについて 2 方向のみに存在する如くに説明したが、これは 2 方向であってもよいし、ものによっては四方向に存在してもよい。また、半導体パッケージ 10、半導体装置 20、およびその構成部分の高さや形状も任意に設定することができる。

【0037】

実施の形態 9.

図 10 は、この発明の他の実施の形態による半導体装置の構造を示す断面図である。この実施の形態は、この発明のカプセル化された半導体パッケージを複数積層して形成した半導体装置にかかるものである。

図 10 に示す半導体装置では、主半導体チップ 24 の上に下段の第一の半導体パッケージ 10A を載せ、さらにその上に上段の第二の半導体パッケージ 10B を載せたものである。

上段の半導体パッケージ 10B は下段の半導体パッケージ 10A の外部接続用端子を避けるようにサイズを小さくしたものを積層する。図 10 では二段の積層であるが、二段以上複数段を積層してもよい。

このように、下段の半導体パッケージの外部接続端子を避けて上段の半導体パッケージを積層するようにすれば、外部接続端子に対するワイヤボンディングをおこないやすい。また、テストもおこないやすい。

なお、この場合の半導体パッケージ 10 は、基板 11 のテスト用端子 12 及び外部接続用端子 13 が基板 11 の周辺部に配置され、基板 11 の中央部は端子が配置されない無端子領域になっているものが、積層に便宜である。

【0038】

実施の形態 10.

図 11 は、この発明の他の実施の形態による半導体パッケージの構造を示す図であり、(a) は平面図、(b) は断面図である。

図 11 に示す半導体パッケージ 10 では、基板 11 において、外部接続用端子 13 の配置領域が基板 11 の対向する二辺の周辺部に配置され、テスト用端子 12 の配置領域が基板 11 の他の対向する二辺の周辺部に配置されている。そして、基板 11 の中央部に端子が配置されない無端子領域が形成されている。

【0039】

また、封止部材 18 が基板 11 の裏面に一定の厚みで形成されるとともに、基板 11 の外部接続用端子 13 の配置領域に対応する部分では相対的に小さな厚みに形成されている。具体的には、角部で窪んだ段差を形成している。

【0040】

さらに説明すると、図 11 に示す半導体パッケージ 10 では、インターポザー基板 11 の外部接続用端子 13 はもちろん、テスト用端子 12（テスト用パッド）も可能な限り基板 11 の周辺端部に配置する。

また、半導体チップ 15 の表面端子 16 とインターポザー基板 11 とはタブによる配線 17 で接合し、可能な限り高さ方向を薄く形成する。

また、封止部材 18（モールド樹脂）は周辺部の外部接続用端子 13 に対応した部分で削り取られたように段差を設ける。

このような構造にすれば、後に説明するように、同一サイズの半導体パッケージ 10 を多数積層することが可能となる。

【0041】

実施の形態 11.

図 12 は、この発明の他の実施の形態による半導体装置の構造を示す断面図である。この実施の形態の半導体装置は、実施の形態 10（図 11）の半導体パッケージを複数積層

して形成した半導体装置にかかるものである。

図 12 に示す半導体装置では、主半導体チップ 24 の上に下段の第一の半導体パッケージ 10A を載せ、さらにその上に上段の第二の半導体パッケージ 10B を載せたものである。

上段の半導体パッケージ 10B は、下段の半導体パッケージ 10A の外部接続用端子に対応する位置で段差を形成しているため、外部接続用端子へのワイヤボンディングがしやすく、また全体の積層の高さを低く抑えることができる。

このような構造にすれば、実施の形態 10 (図 11) で説明したような構造の同一サイズの半導体パッケージを多数積層することが可能となる。

【0042】

実施の形態 12.

図 13 は、この発明の他の実施の形態による半導体パッケージの構造を示す図であり、(a) は平面図、(b) は断面図である。

図 13 に示す半導体パッケージ 10 では、基板 11 において、外部接続用端子 13 の配置領域が基板 11 の最も周辺部に配置され、テスト用端子 12 の配置領域が基板 11 の前記周辺部に隣接する内側部に配置され、基板 11 の中央部には端子が配置されない無端子領域が形成されている。

【0043】

すなわち、図 13 に示す半導体パッケージでは、テスト用端子 12 をインターポザー基板 11 の周囲に配置する。そして、そのテスト用端子 12 の外周に外部接続用端子 13 (外部接続用パッド) を配置する。

また、QFP 用のチップと同じように半導体チップ 15 の表面 (主面) に表面端子 16 (パッド) が設けられ、インターポザー基板 11 の裏面に半導体チップ 15 の表面端子 16 (パッド) と TAB 接続する内部接続用端子 14 (パッド) を設ける。また、実施の形態 10 (図 11) と同様の段差モールドを行う。

この実施の形態によれば、QFP タイプのチップを有する CSC に対応可能である。また、テストパッド配置の自由度が増加する。

【0044】

実施の形態 13.

図 14 は、この発明の他の実施の形態による半導体装置の構造を示す断面図である。この実施の形態の半導体装置は、実施の形態 12 (図 13) の半導体パッケージを複数積層して形成した半導体装置にかかるものである。

図 14 に示す半導体装置では、主半導体チップ 24 の上に下段の第一の半導体パッケージ 10A を載せ、さらにその上に上段の第二の半導体パッケージ 10B を載せたものである。

上段の半導体パッケージ 10B は、下段の半導体パッケージ 10A の外部接続用端子に対応する位置で切り欠いたように段差を形成しているため、外部接続用端子へのワイヤボンディングがしやすく、また全体の積層の高さを低く抑えることができる。

このような構造にすれば、実施の形態 12 (図 13) で説明したような構造の同一サイズの半導体パッケージを多数積層することが可能となる。

なお、この実施の形態は、同一サイズの半導体パッケージ 10 を積層し、4 方向にワイヤボンディングをおこなう構造である。

【0045】

実施の形態 14.

図 15、図 16、図 17 は、それぞれこの発明の他の実施の形態による半導体パッケージの構造を示す図であり、(a) は平面図、(b) は断面図である。

図 15 に示す半導体パッケージでは、基板 11 が封止部材 18 の周縁部より外側に伸延した外周部 11a を有し、外部接続用端子 13 が基板 11 の前記外周部 11a に配置されている。

言い換えれば、基板 11 の外部接続用端子 13 が内部接続用端子 14 より外側に配置さ

れ、封止部材 18 が外部接続用端子 13 に対応する領域には達しない範囲で内部接続用端子 14 を包み込むように形成されている。

【0046】

すなわち、図 15 に示す半導体パッケージでは、封止部材 18 (モールド) に段差を設けず、インターポザー基板 11 の表面 (主面) の少なくとも外部接続用端子 13 (パッド) の配置位置を避ける範囲で形成されている。

このようにすれば、同一サイズの半導体パッケージ 10 を多数積層することが容易となる。

【0047】

図 16 及び図 17 の半導体パッケージ 10 も、図 15 と同様に、基板 11 が封止部材 18 の周縁部より外側に伸延した外周部 11a を有し、外部接続用端子 13 が基板 11 の前記外周部 11a に配置されている。

図 15、図 16、図 17 の相違は、図 15 のものでは、基板 11 の表面の対向する 2 辺にそれぞれテスト用端子 12 が一列、外部接続用端子 13 が一列配置されている。図 16 のものでは、基板 11 の表面の対向する 2 辺に外部接続用端子 13 がそれぞれ一列配置されており、テスト用端子 12 は基板 11 の四辺に一列環状に配置されている。また、図 17 のものでは、基板 11 の四辺の最外周に外部接続用端子 13 が一列環状に配置されており、隣接する内側にテスト用端子 12 が基板 11 の四辺に一列環状に配置されている。

【0048】

実施の形態 15.

図 18 は、この発明の他の実施の形態による半導体パッケージの構造を示す断面図である。

図 18 に示す半導体パッケージでは、封止部材 18 が基板 11 の裏面に一定の厚みで形成されるとともに、基板 11 の外縁端部を反対側にまで (上側にまで) 包み込むように形成されている。

すなわち、図 17 に示す半導体パッケージでは、封止部材 18 (モールド) をインターポザー基板 11 の端部にとどめるのではなく、インターポザー基板 11 の端部を露出させないように、インターポザー基板 11 の端部を包み込んで表面まで被せるものである。こうするとインターポザー基板 11 の界面と封止部材 18 (モールド) との剥離が起き難い効果がある。

【図面の簡単な説明】

【0049】

【図 1】 この発明の実施の形態 1 における半導体パッケージの構造を示す図である。

【図 2】 この発明の実施の形態 2 における半導体パッケージの構造を示す図である。

【図 3】 この発明の実施の形態 3 における半導体パッケージの構造を示す図である。

【図 4】 この発明の実施の形態 4 における半導体パッケージの構造を示す図である。

【図 5】 この発明の実施の形態 5 における半導体パッケージの構造を示す図である。

【図 6】 この発明の実施の形態 6 における半導体パッケージの構造を示す図である。

【図 7】 この発明の実施の形態 6 における半導体パッケージの構造を示す図である。

【図 8】 この発明の実施の形態 7 における半導体パッケージの構造を示す図である。

【図 9】 この発明の実施の形態 8 における半導体パッケージの構造を示す図である。

【図 10】 この発明の実施の形態 9 における半導体パッケージの構造を示す図である。

【図 11】 この発明の実施の形態 10 における半導体パッケージの構造を示す図である。

【図 12】 この発明の実施の形態 11 における半導体パッケージの構造を示す図である。

【図 13】 この発明の実施の形態 12 における半導体パッケージの構造を示す図である。

【図 14】 この発明の実施の形態 13 における半導体パッケージの構造を示す図である。

る。

【図 15】この発明の実施の形態 14 における半導体パッケージの構造を示す図である。

【図 16】この発明の実施の形態 14 における半導体パッケージの構造を示す図である。

【図 17】この発明の実施の形態 14 における半導体パッケージの構造を示す図である。

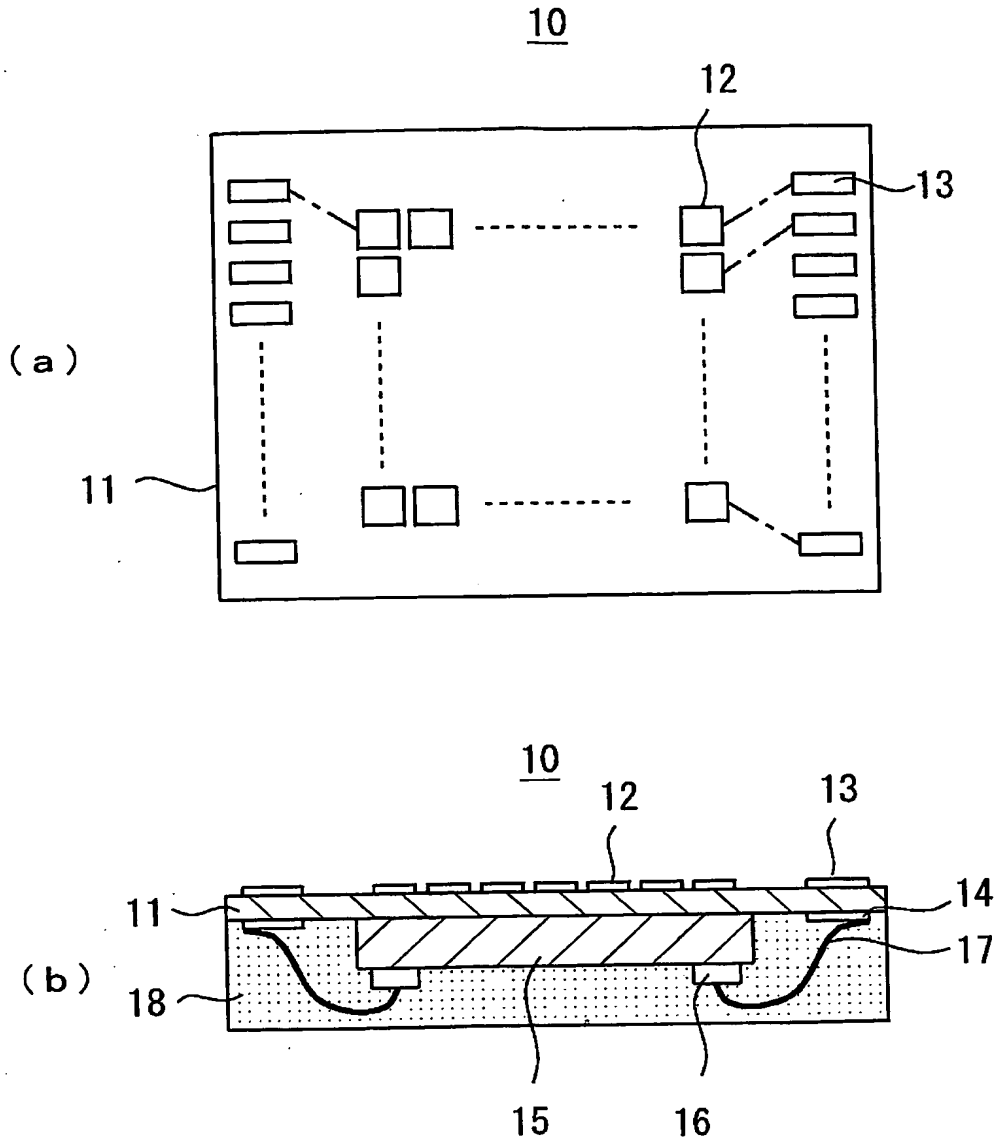
【図 18】この発明の実施の形態 15 における半導体パッケージの構造を示す図である。

【符号の説明】

【0050】

- 10 半導体パッケージ、
- 11 基板、
- 12 テスト用端子、
- 13 外部接続用端子、
- 14 内部接続用端子、
- 15 半導体チップ、
- 16 表面端子、
- 17 配線、
- 18 封止部材、
- 20 半導体装置、
- 21 主基板、
- 22 接続用主端子、
- 23 外部接続用主端子、
- 24 主半導体チップ、
- 25 表面端子、
- 26 固定材、
- 27 a、27 b 配線、
- 28 主封止部材、
- 51 スペーサー、
- 61 接着性部材。

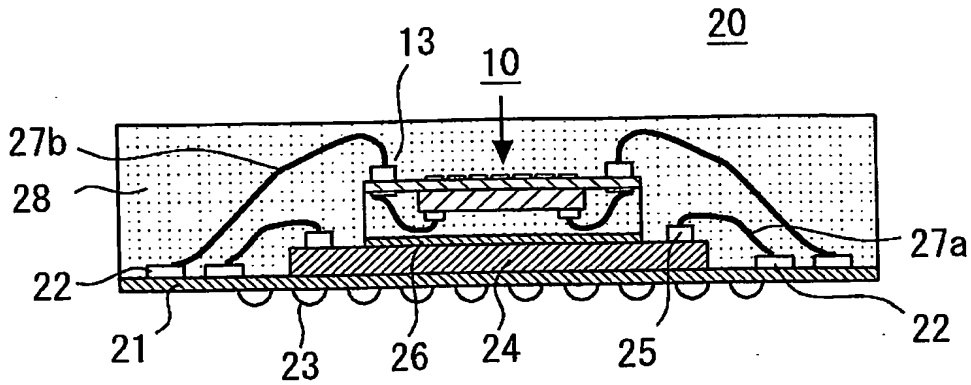
【書類名】図面
【図 1】



10 半導体パッケージ
11 基板
12 テスト用端子
13 外部接続用端子
14 内部接続用端子

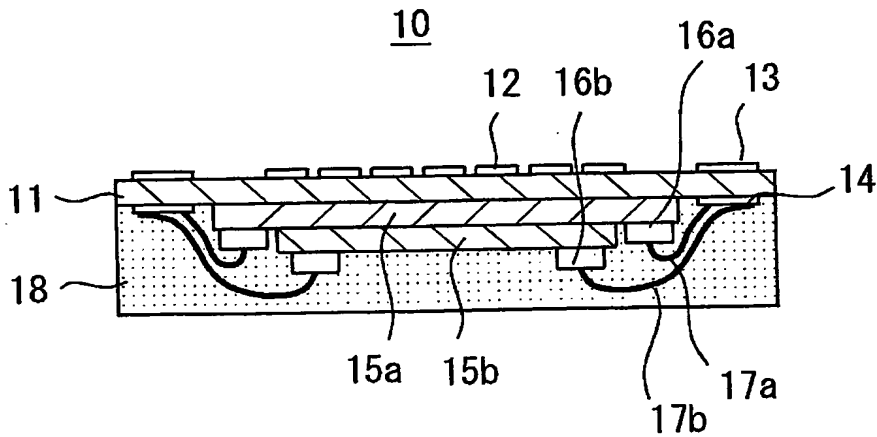
15 半導体チップ
16 表面端子
17 配線
18 封止部材

【図 2】

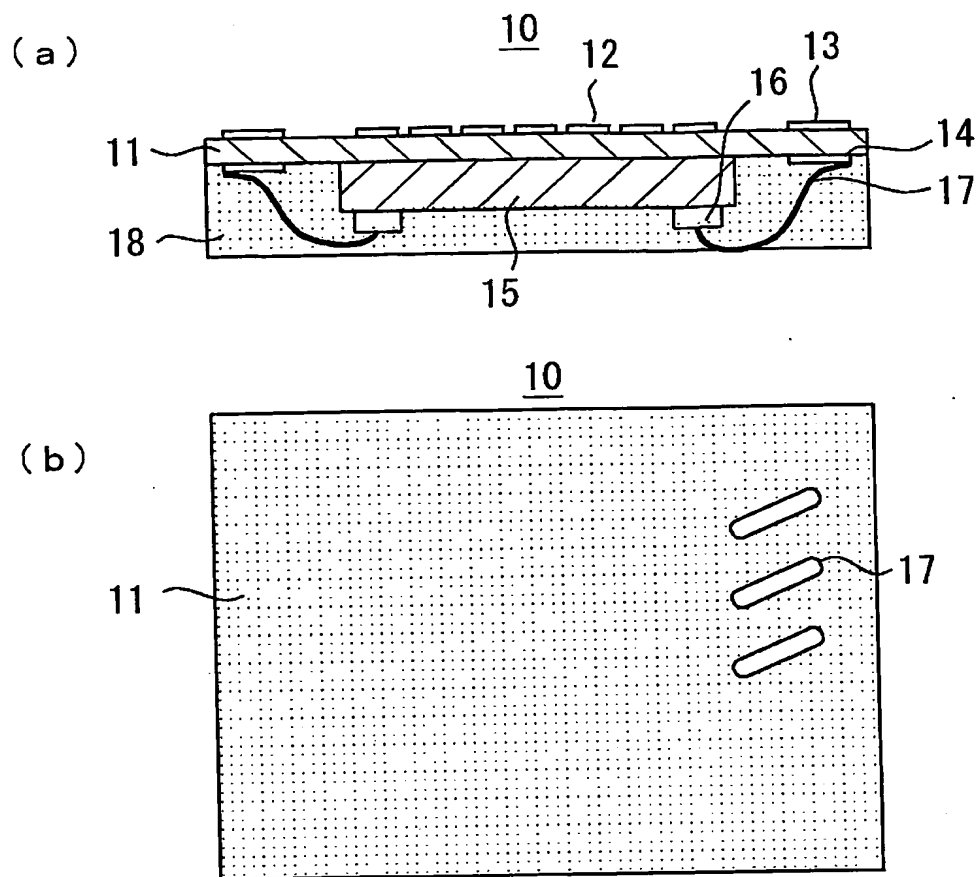


- | | | | |
|----|----------|---------|-------|
| 20 | 半導体装置 | 25 | 表面端子 |
| 21 | 主基板 | 26 | 固定材 |
| 22 | 接続用主端子 | 27a、27b | 配線 |
| 23 | 外部接続用主端子 | 28 | 主封止部材 |
| 24 | 主半導体チップ | | |

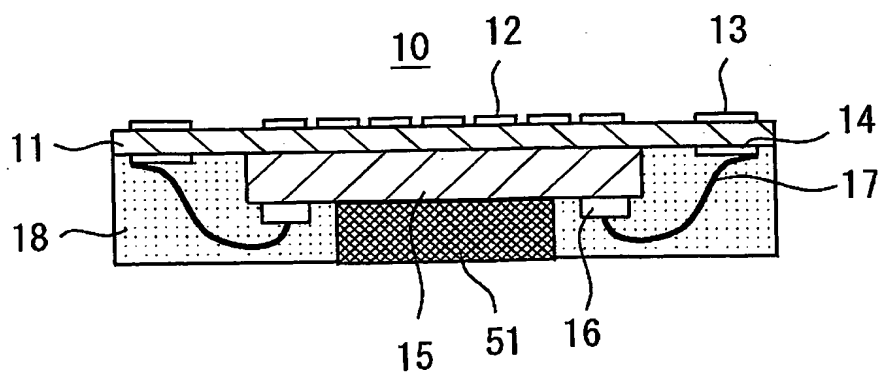
【図 3】



【図 4】

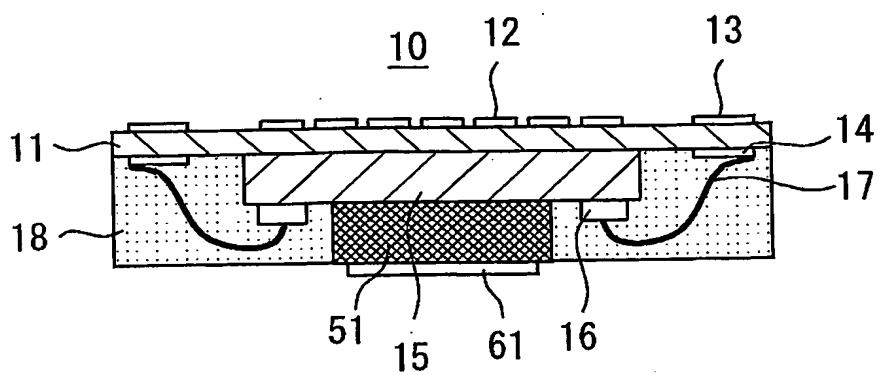


【図 5】



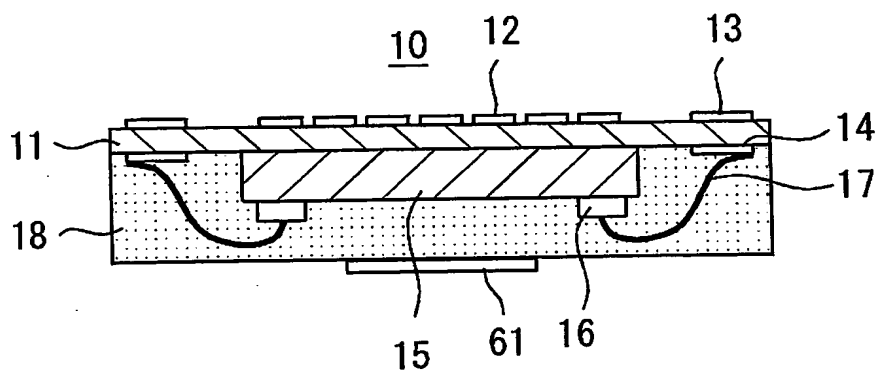
51 スペース

【図 6】



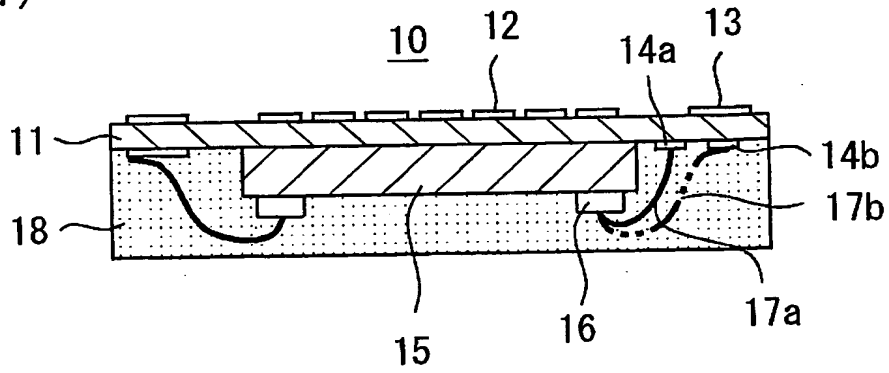
61 接着性部材

【図 7】

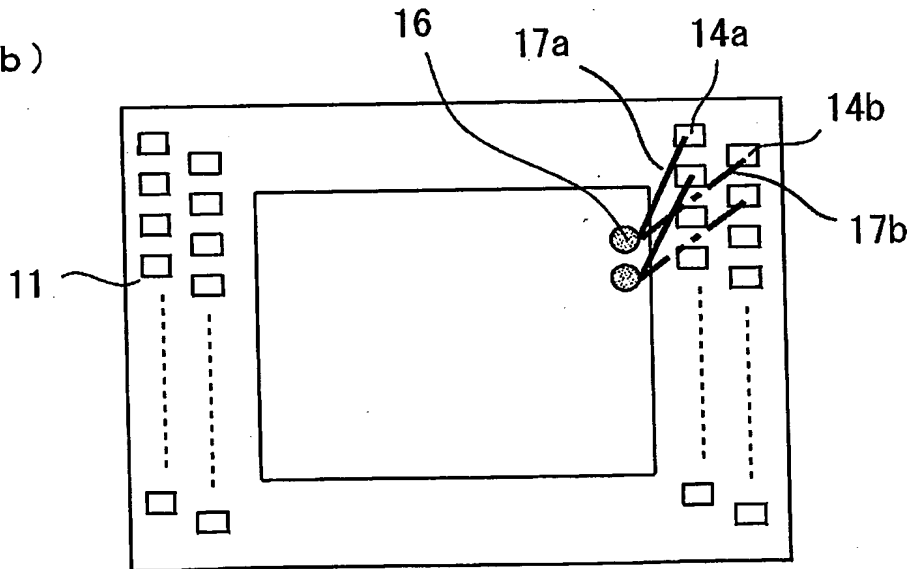


【図 8】

(a)

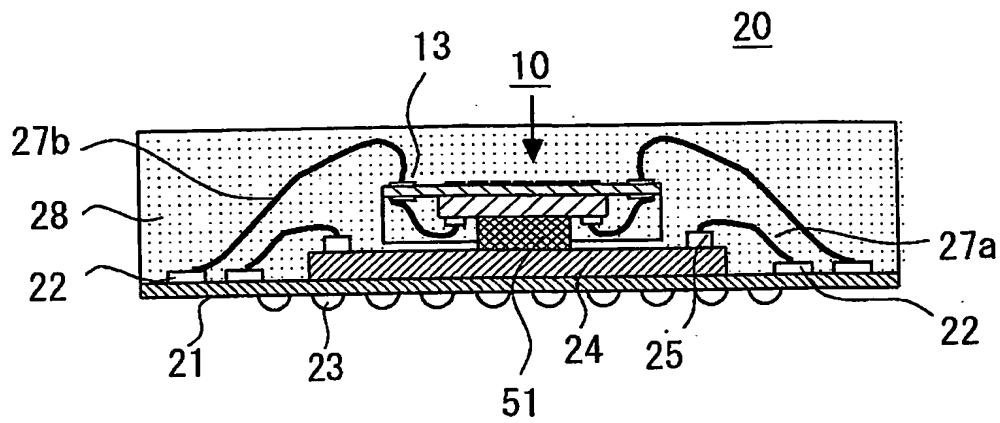


(b)

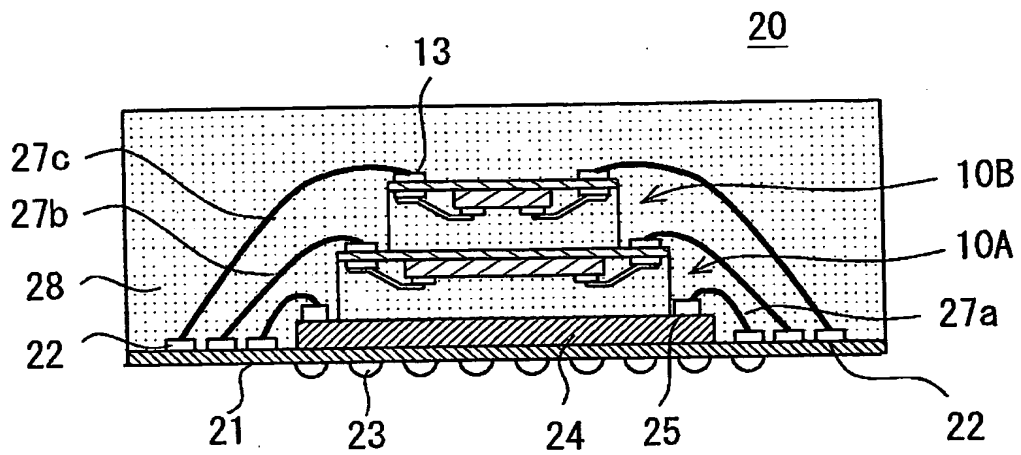


平面透視図

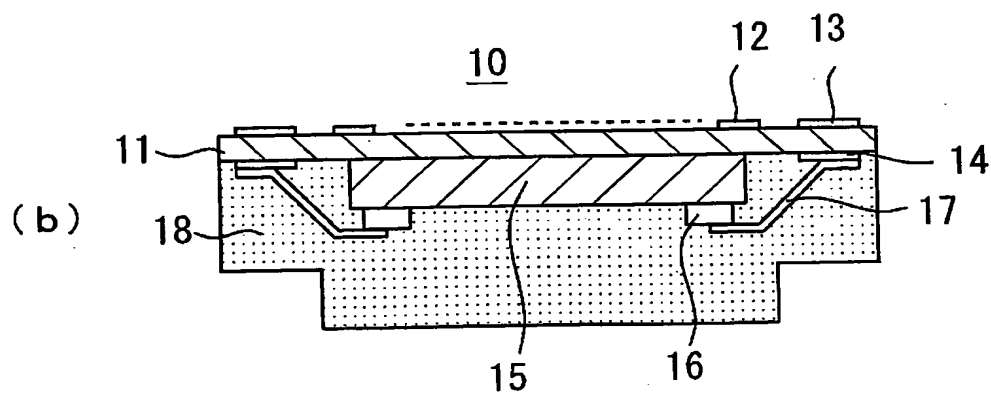
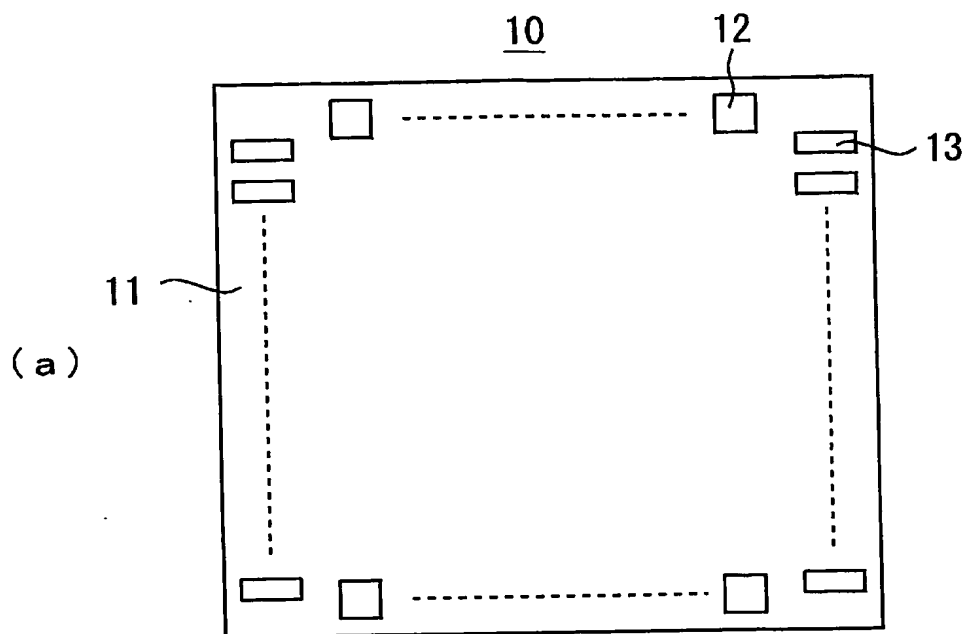
【図 9】



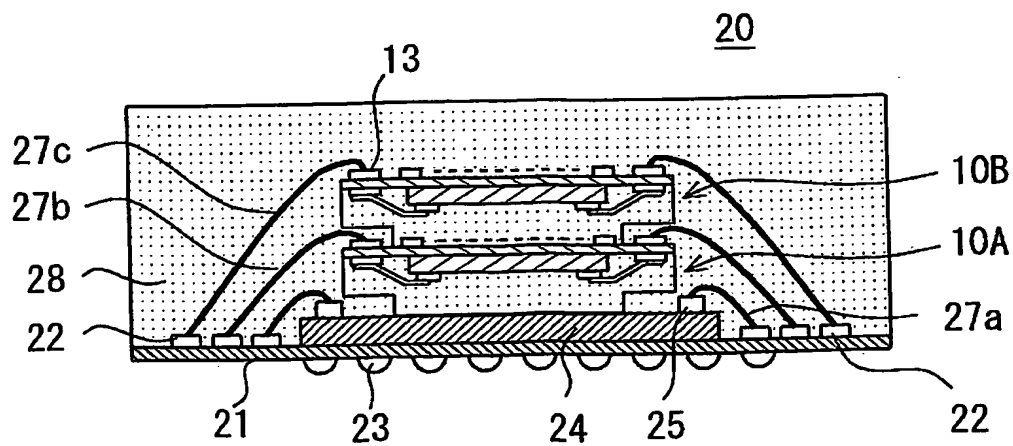
【図 10】



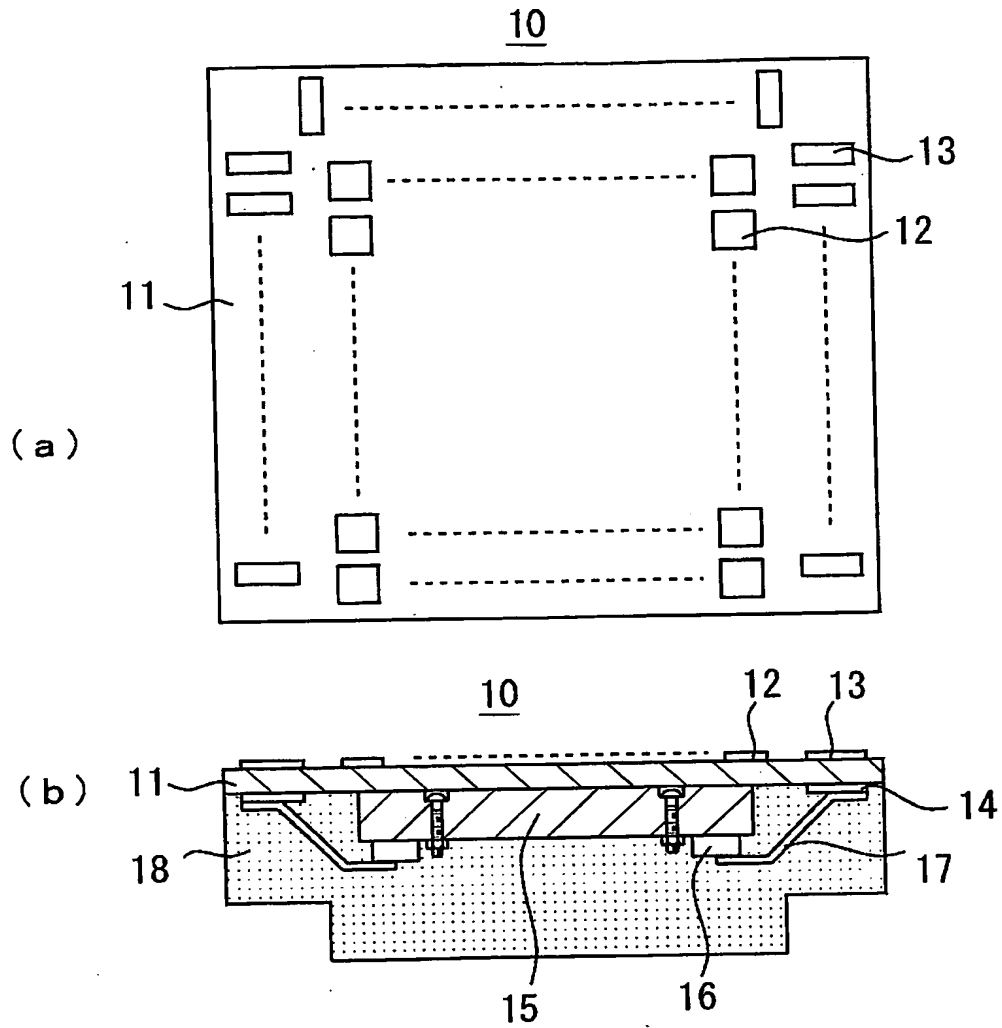
【図 11】



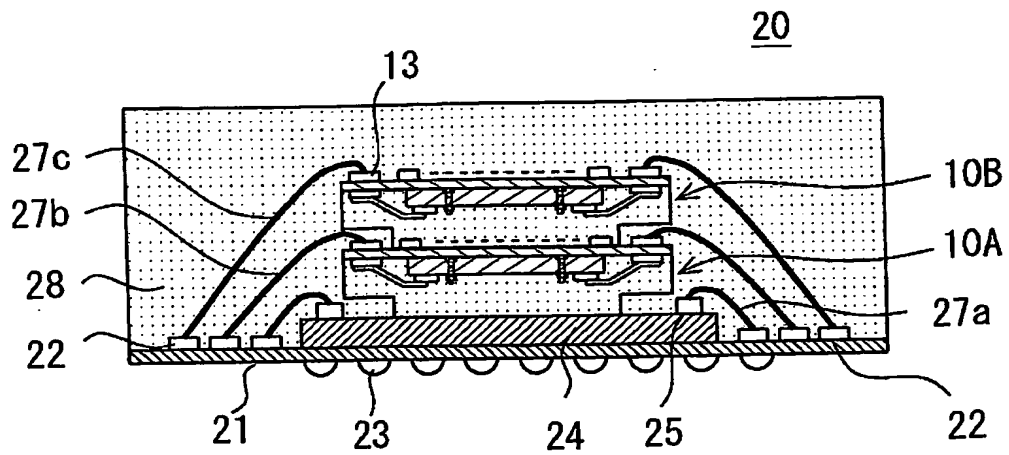
【図 12】



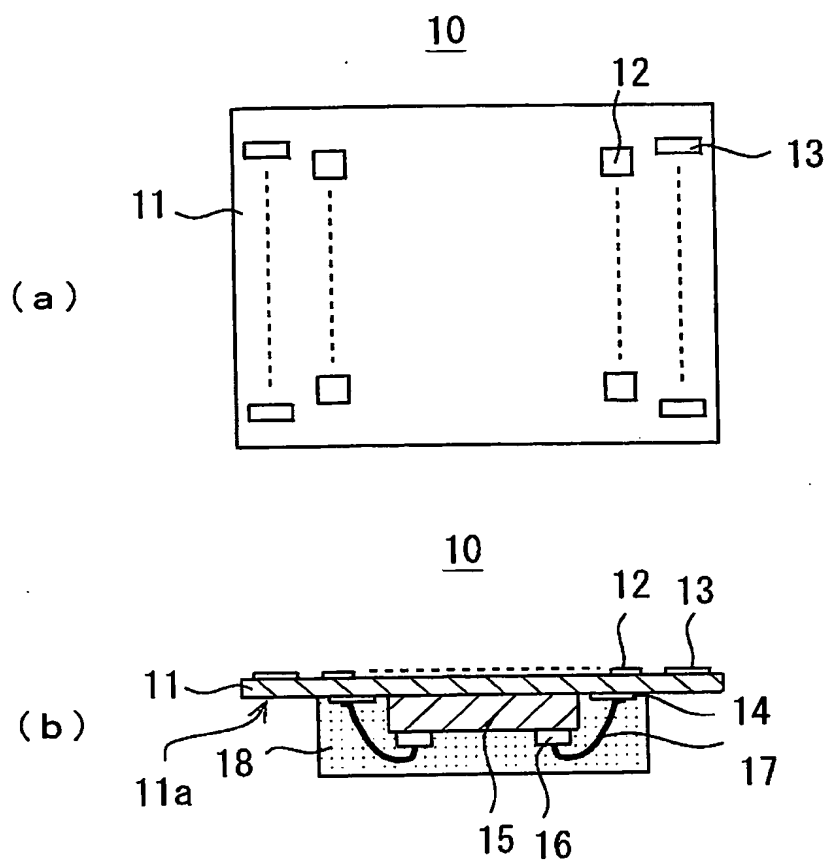
【図 13】



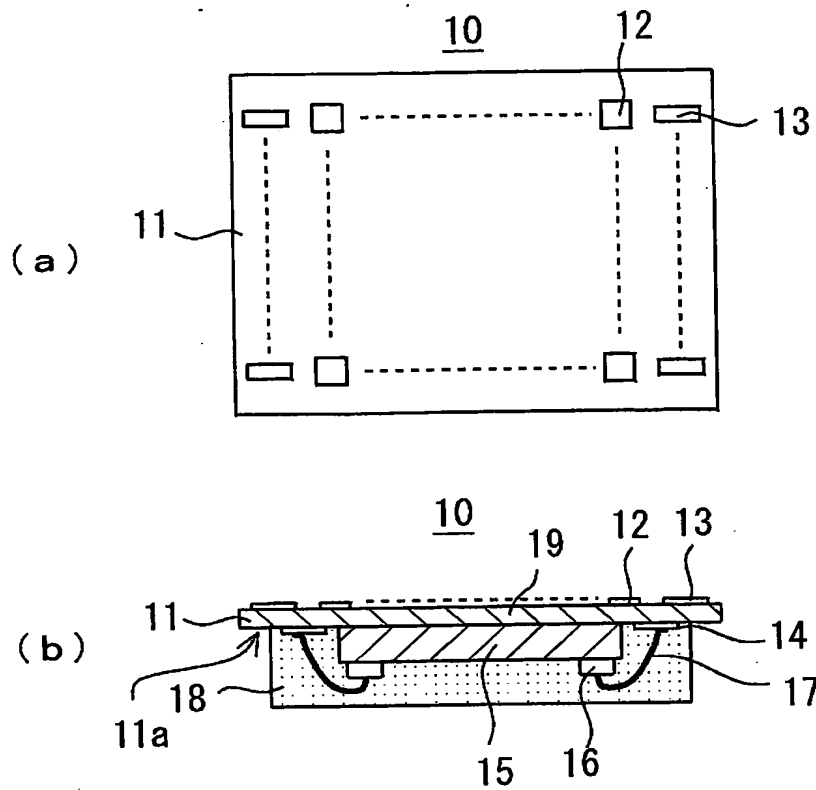
【図 14】



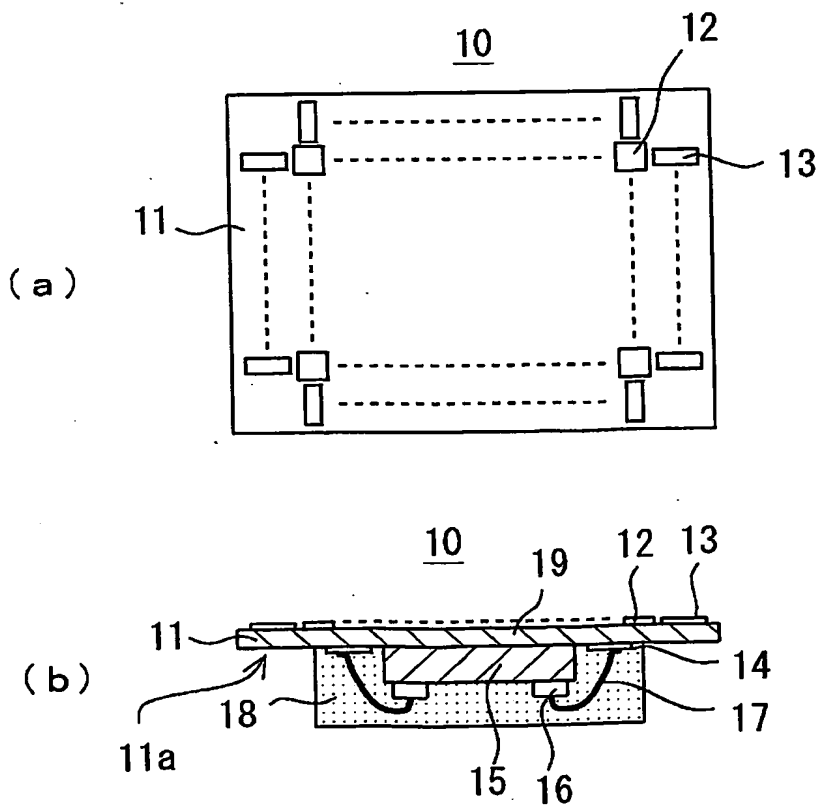
【図 15】



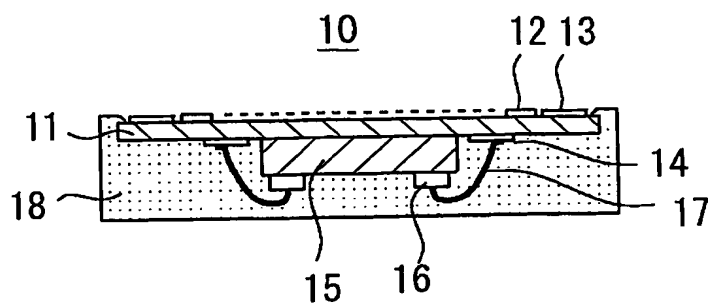
【図 16】



【図 17】



【図 18】



【書類名】 要約書**【要約】**

【課題】 マルチチップ化した半導体集積回路の機能向上、小型化、システム化を図るパッケージ構造を提供する。

【解決手段】 表面に複数のテスト用端子と複数の外部接続用端子とが配置され、裏面に複数の内部接続用端子が配置された基板と、表面に内部回路と接続した複数の表面端子が形成された半導体チップを用意し、この半導体チップの裏面を前記基板の裏面に接合し、半導体チップの表面端子を基板の所望の内部接続用端子に接続したうえ、封止部材により半導体チップを基板の裏面に封止してカプセル化された半導体パッケージを構成する。また、外部接続端子が形成され基板の上に搭載された他の半導体チップに、前記のカプセル化された半導体パッケージを接合したうえ封止してマルチチップ構造にする。

【選択図】 図 1

【書類名】 手続補正書
【整理番号】 R00230JP01
【提出日】 平成16年 3月 8日
【あて先】 特許庁長官殿
【事件の表示】
【出願番号】 特願2004- 14760
【補正をする者】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
【識別番号】 100082175
【弁理士】
【氏名又は名称】 高田 守
【電話番号】 03-5379-3088
【手続補正1】
【補正対象書類名】 特許願
【補正対象項目名】 発明者
【補正方法】 変更
【補正の内容】
【発明者】
【住所又は居所】 長野県長野市大字南長池字村前280番地 株式会社ルネサス長野セミコンダクタ内
【氏名】 大坂 修一
【発明者】
【住所又は居所】 長野県長野市大字南長池字村前280番地 株式会社ルネサス長野セミコンダクタ内
【氏名】 藤本 仁士
【発明者】
【住所又は居所】 長野県長野市大字南長池字村前280番地 株式会社ルネサス長野セミコンダクタ内
【氏名】 広瀬 哲也
【発明者】
【住所又は居所】 長野県長野市大字南長池字村前280番地 株式会社ルネサス長野セミコンダクタ内
【氏名】 篠永 直之
【その他】 誤記を訂正する理由は、発明者の住所を表示するにあたり、正式には「長野県長野市大字南長池字村前280番地 株式会社ルネサス長野セミコンダクタ内」とすべきところを、願書には誤って「東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内」と記載してしまったためであります。

特願2004-014760

出願人履歴情報

識別番号

[503121103]

1. 変更年月日

2003年 4月 1日

[変更理由]

新規登録

住所

東京都千代田区丸の内二丁目4番1号

氏名

株式会社ルネサステクノロジ

From the INTERNATIONAL BUREAU

PCTNOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

TAKADA, Mamoru
Takada, Takahashi & Partners, 5th Floor, Intec 88
Bldg., 20, Araki-cho, Shinjuku-ku, Tokyo
1600007
JAPON

Date of mailing (day/month/year) 08 March 2005 (08.03.2005)	
Applicant's or agent's file reference R00230WO01	IMPORTANT NOTIFICATION
International application No. PCT/JP05/000235	International filing date (day/month/year) 12 January 2005 (12.01.2005)
International publication date (day/month/year)	Priority date (day/month/year) 22 January 2004 (22.01.2004)
Applicant Renesas Technology Corp. et al	

- By means of this Form, which replaces any previously issued notification concerning submission or transmittal of priority documents, the applicant is hereby notified of the date of receipt by the International Bureau of the priority document(s) relating to all earlier application(s) whose priority is claimed. Unless otherwise indicated by the letters "NR", in the right-hand column or by an asterisk appearing next to a date of receipt, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- (If applicable)* The letters "NR" appearing in the right-hand column denote a priority document which, on the date of mailing of this Form, had not yet been received by the International Bureau under Rule 17.1(a) or (b). Where, under Rule 17.1(a), the priority document must be submitted by the applicant to the receiving Office or the International Bureau, but the applicant fails to submit the priority document within the applicable time limit under that Rule, **the attention of the applicant is directed to Rule 17.1(c)** which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- (If applicable)* An asterisk (*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b) (the priority document was received after the time limit prescribed in Rule 17.1(a) or the request to prepare and transmit the priority document was submitted to the receiving Office after the applicable time limit under Rule 17.1(b)). Even though the priority document was not furnished in compliance with Rule 17.1(a) or (b), the International Bureau will nevertheless transmit a copy of the document to the designated Offices, for their consideration. In case such a copy is not accepted by the designated Office as the priority document, Rule 17.1(c) provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
22 January 2004 (22.01.2004)	2004-014760	JP	03 March 2005 (03.03.2005)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer

Sarmir Richard

Facsimile No. +41 22 740 14 35

Facsimile No. +41 22 338 90 90
Telephone No. +41 22 338 8434